

Architettura degli Elaboratori

Corso di Laurea in Informatica (Classe 26) - AA 2008/2009

Organizzazione strutturata degli elaboratori

- Organizzazione a livelli [TAN 1.1]
- Struttura e funzione [STA 1.1-1.3]
- Architettura di von Neumann ed esempi di organizzazione [STA 2.1]
- Esecuzione: compilazione, assemblaggio, collegamento e caricamento [PAT 1.2, 2.10, A.1-A.4][TAN 7.3-7.4]

Livello ISA

- Caratteristiche delle istruzioni ISA [TAN 5]
- Tipi di istruzioni [TAN 5.5]
- Registri [TAN 5.1]
- Tipi di dati [TAN 5.2]
- Indirizzamento [TAN 5.4]
- Formati delle istruzioni ed esempi [TAN 5.3][PAT 2.16]

ISA e assembler del processore MIPS

- Processore MIPS [PAT A.10]
- Organizzazione della memoria [PAT 2.3, A.5]
- Chiamata a procedura [PAT A.6]
- Assembler [PAT A.10]
- Istruzioni ISA e pseudoistruzioni [PAT 2.3-2.9, PAT A.10]
- Simulatore SPIM [PAT A.9]

Livello della microarchitettura

- Microarchitettura di riferimento [TAN 4.1]
- Data path: ALU, bus e registri [TAN 4.1]
- Data path: sincronizzazione [TAN 4.1]
- Data path: interfaccia con la memoria principale [TAN 4.1]
- Linee di controllo del data path [TAN 4.1]
- Microistruzioni [TAN 4.1]
- Control store [TAN 4.1]
- Sincronizzazione di data path e control store [TAN 4.1]
- Livello ISA di riferimento: IJVM [TAN 4.2]
- Microistruzioni e micro assembly language [TAN 4.3]
- Microprogramma per IJVM [TAN 4.3]
- Analisi delle prestazioni: terzo bus e unità per il fetch delle istruzioni; modifica del microprogramma [TAN 4.4]
- Microarchitettura a pipeline; modifica del microprogramma; dipendenze [TAN 4.4][PAT 6.1]
- Processori RISC
- Cache direct mapped e set-associative [TAN 4.5][PAT 7.1-7.3]
- Predizione di salto, esecuzione fuori ordine, esecuzione speculativa [TAN 4.5][PAT 6.6]

Livello della logica digitale

- Unità aritmetico-logica (ALU) [TAN 3.2]
- Memoria statica e dinamica, tipi di memoria dinamica [TAN 3.3]
- Bus: arbitraggio, bus sincroni, bus asincroni, pipelining; cicli di lettura e scrittura del bus PCI [TAN 3.4,3.6]
- Interruzioni e accesso diretto in memoria [TAN 3.4,5.5]
- Chip di input/output; input/output mappato in memoria [TAN 3.7]

Struttura degli elaboratori

- Interconnessioni: caratteristiche ed esempi
- Processori: caratteristiche ed esempi
- Memoria principale e cache: caratteristiche ed esempi
- Memoria secondaria: caratteristiche ed esempi
- Gerarchie di memoria
- Periferiche di ingresso/uscita

Testi di riferimento

- [Materiale didattico](#)
- [PAT] D. A. Patterson, J. L. Hennessy, *Struttura e progetto dei calcolatori*, Seconda edizione, Zanichelli, 2006
- [TAN] A. S. Tanenbaum, *Architettura dei calcolatori: Un approccio strutturale*, Quinta edizione, Pearson Addison Wesley, 2006
- [STA] W. Stallings, *Architettura e Organizzazione dei Calcolatori*, Sesta edizione, Pearson Addison Wesley, 2004